

# Atmel FPSLIC

## ein System on a Chip

Seminararbeit von

Wolfgang Becker

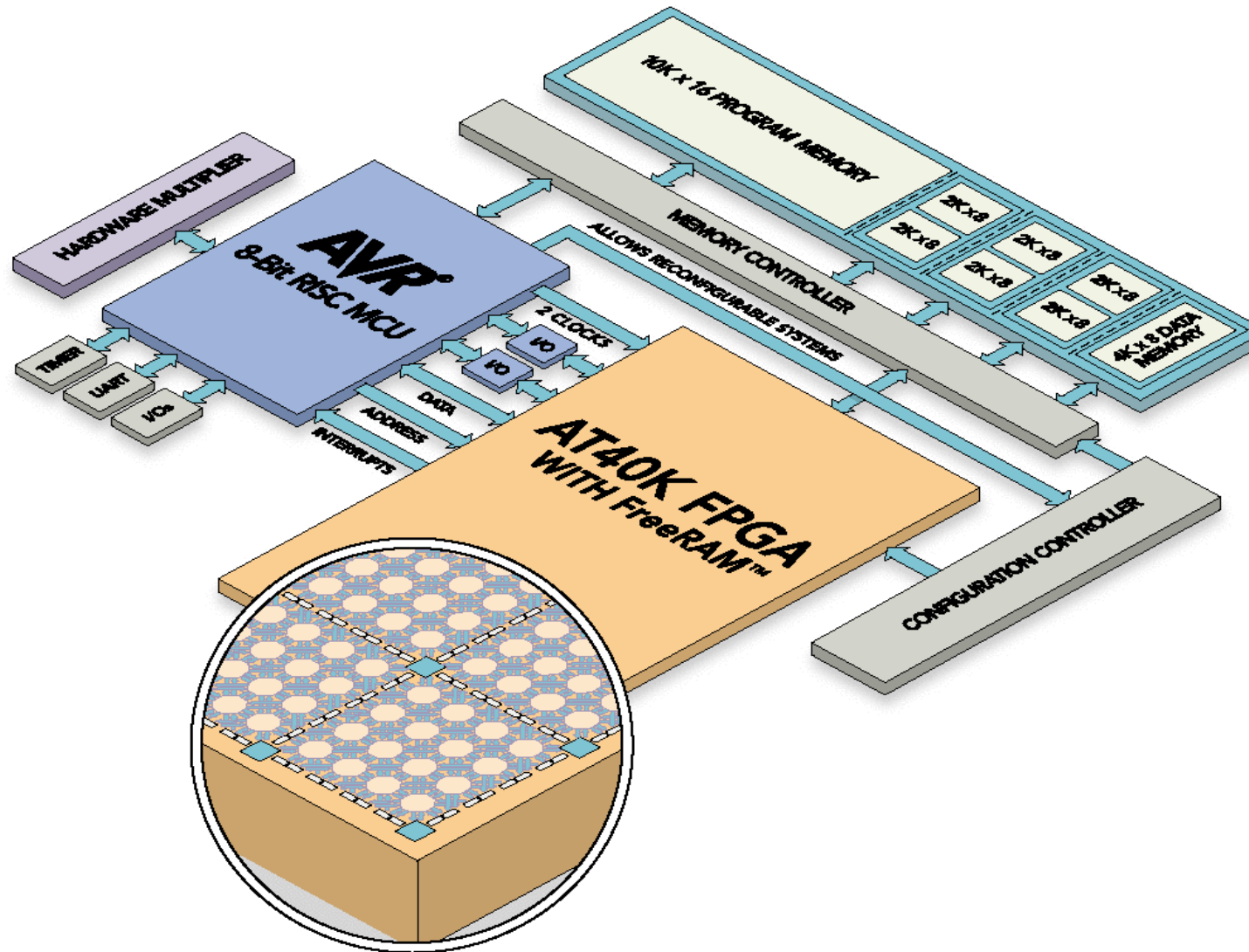
betreut von

Prof. Dr. Albrecht Ditzinger

# Überblick

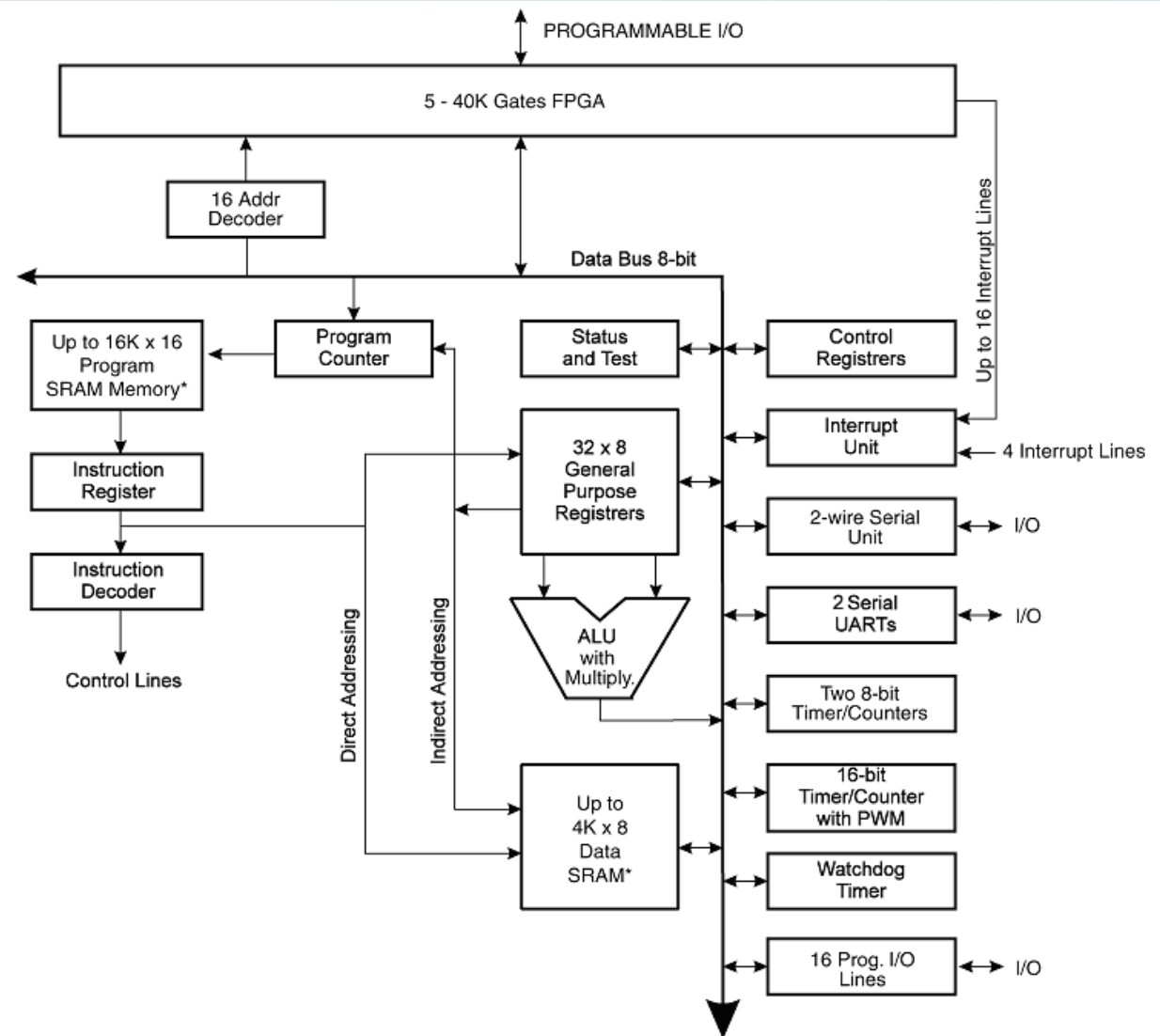
- Einleitung
- Komponenten des FPSLIC
  - AVR-Kern
  - FPGA
- Das System Designer Paket
  - Ablauf des Entwicklungsprozess
  - Fehlersuche
- Zusammenfassung

# Schematischer Aufbau



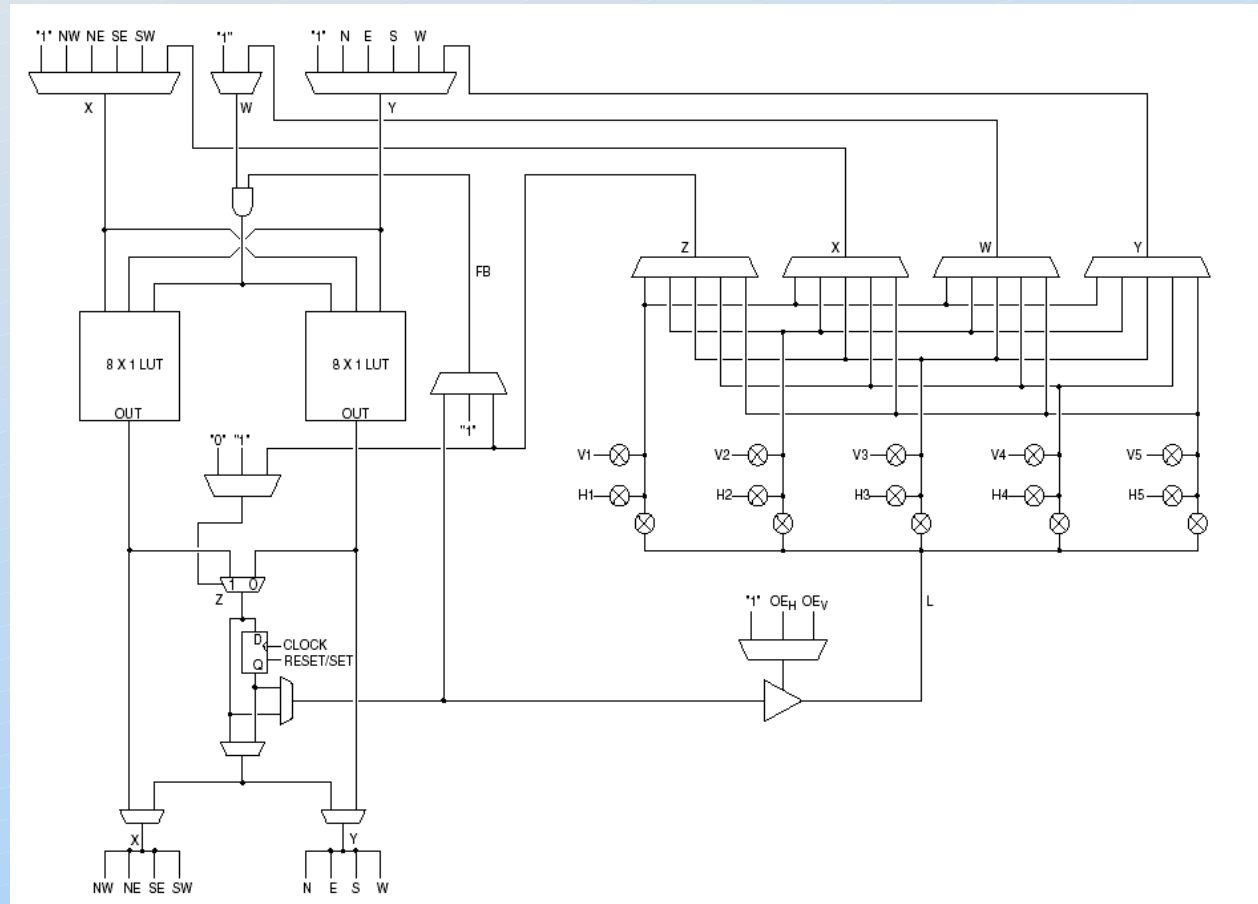
# Der AVR Kern

- 8 Bit RISC
- 25 MHz
- 32 Register
- Harvard Architektur
- Low Power



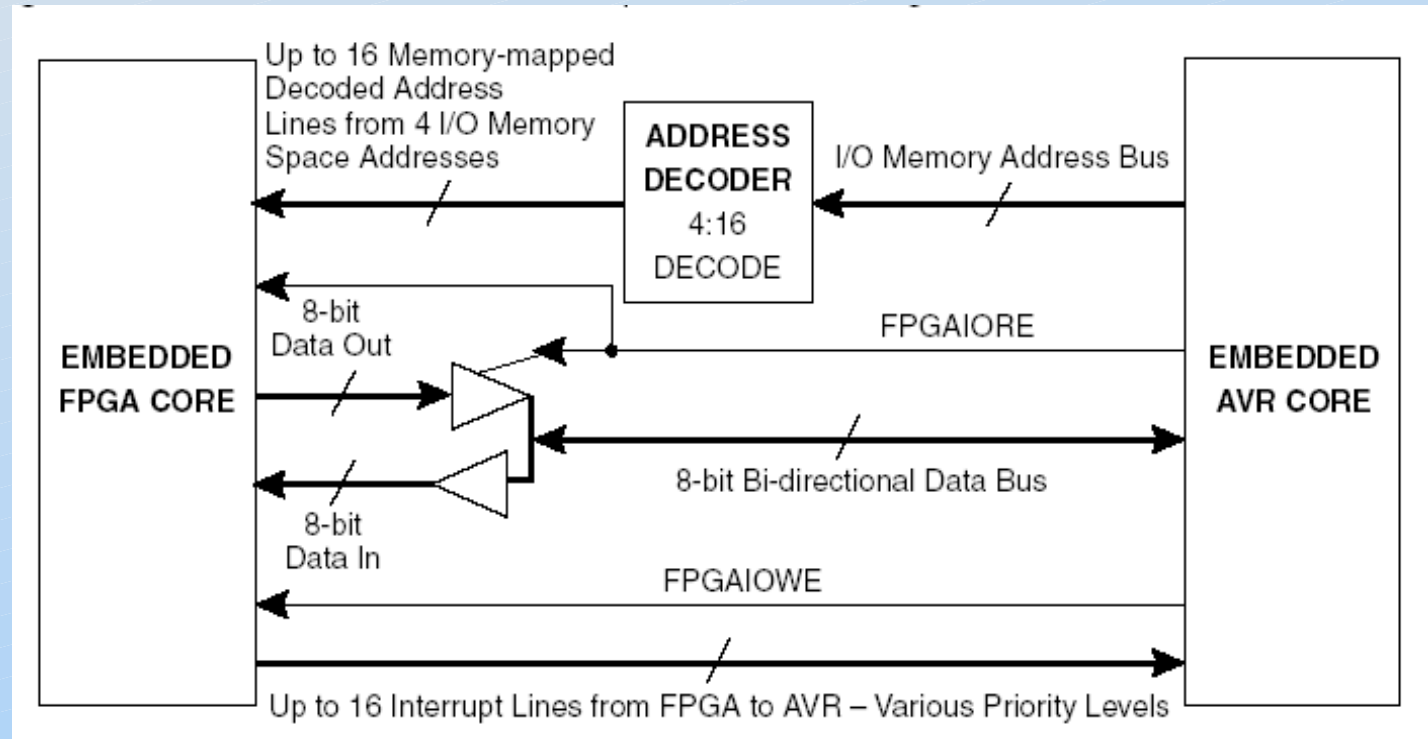
# Das FPGA

- schneller Coprozessor
- AT40K Architektur
- Free Ram
- Flüchtig
- externes EEPROM für Konfiguration



# Verbindung AVR/FPGA

- Shared Memory
- Bidirektionaler Datenbus
- Decoded address lines
- Interrupts



# Varianten

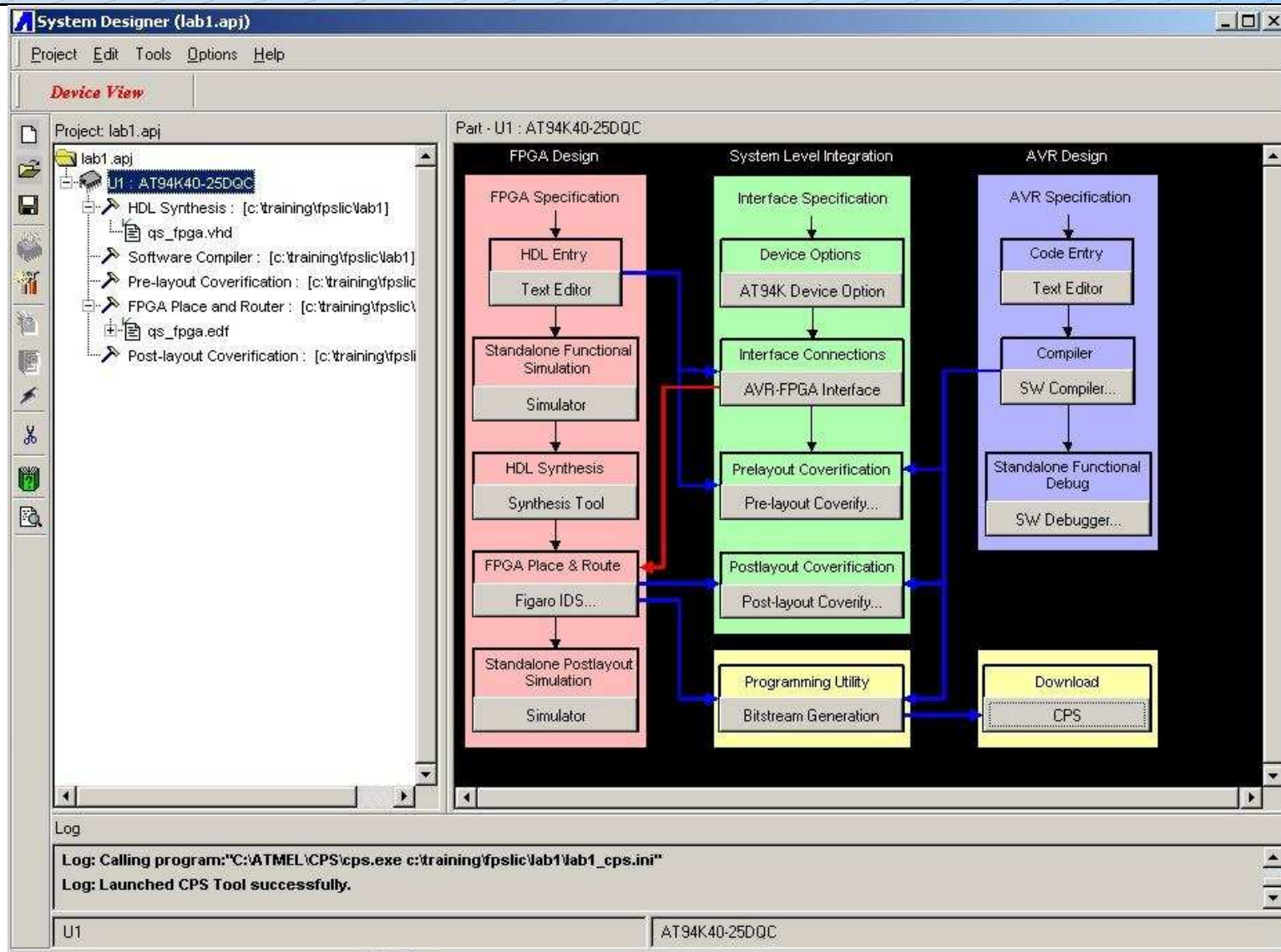
- FPGA Gates: 5K/10K/40K
- SRAM: 16KB/32KB
- FPSLIC Secure
- JTAG ICE Support
- Diverse Gehäuse

# System Designer

- Standard Entwicklungsumgebung
- Windows ab Win 95
- integriert alle nötigen Tools
- gesamter Designflow im Programm
- gemeinsames Produkt von Atmel und Mentor Graphics

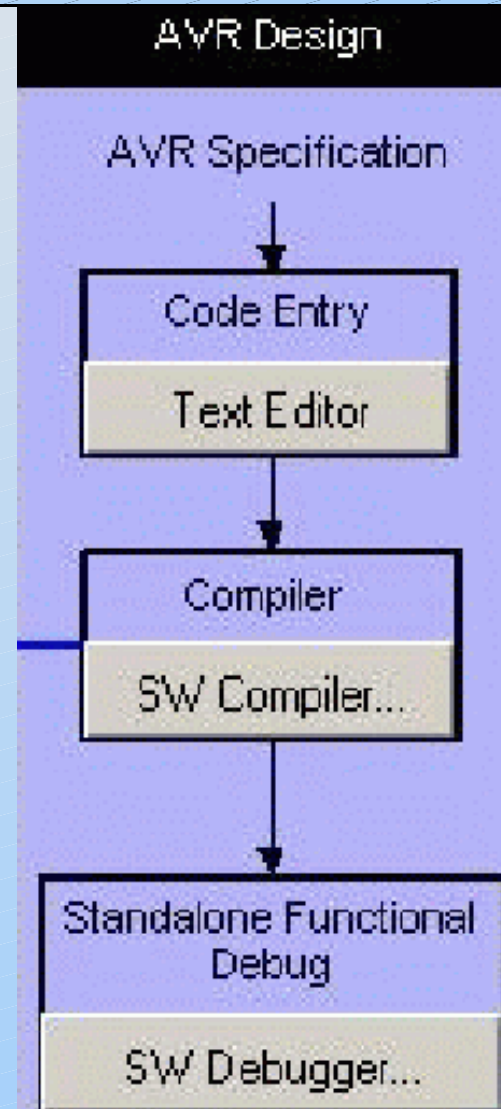


# Design Flow



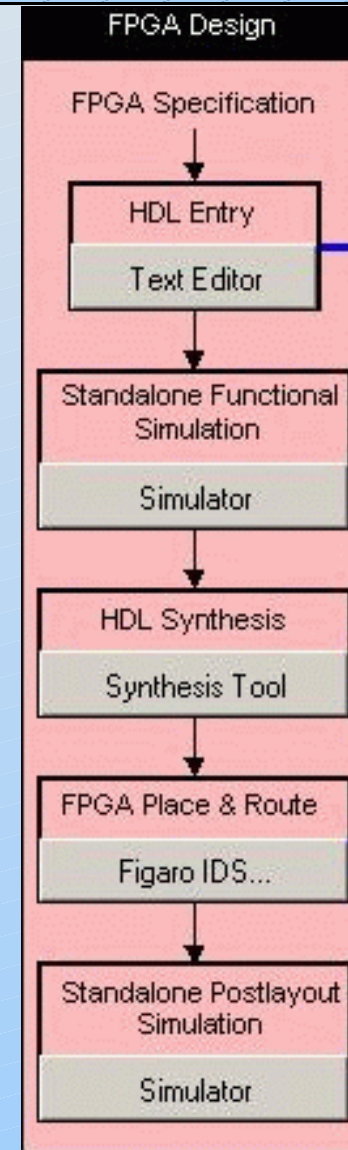
# AVR Pfad

- Codeeingabe
- Compiler
  - C/C++
  - Assembler
  - Pascal
- Funktionaler Debugger



# FPGA Pfad

- Hardware Description Language
  - Verilog
  - VHDL
- Funktionale Simulation
- HDL Synthese
- FPGA Place & Route
- Postlayout Simulation

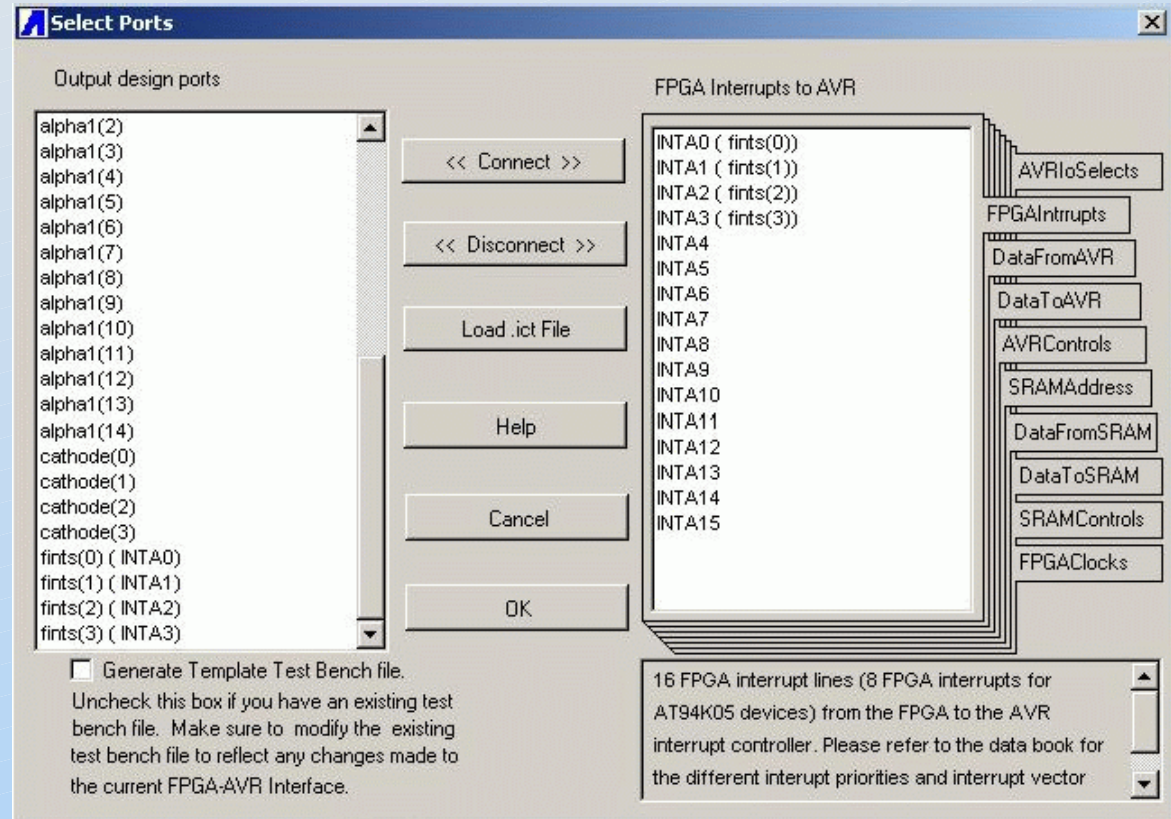


# FPGA Place & Route



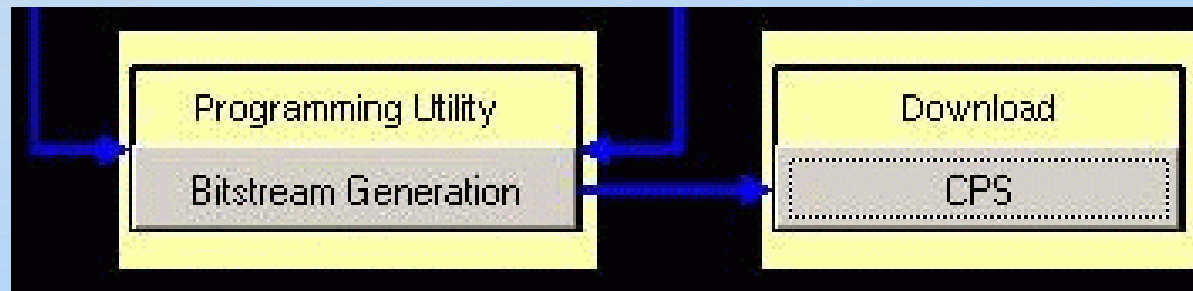
# System Level Integration

- Device Options
- Interface Connections
- Co-Verifikation
  - Pre-Layout
  - Post-Layout



# Übertragung auf das Chip

- Bitstream Datei
  - mit FPGA Programmierung
  - mit AVR Programm
  - mit beidem
- Programmierung direkt in der Schaltung



# Fazit

- kürzere Entwicklungszeit
- bekannte Komponenten
- neues Konzept?
- relativ hohe Lizenzkosten
- Fachwissen

